

SiC 集積回路の量産へ大きく前進

—極限環境で真に使える IC の社会実装へ—

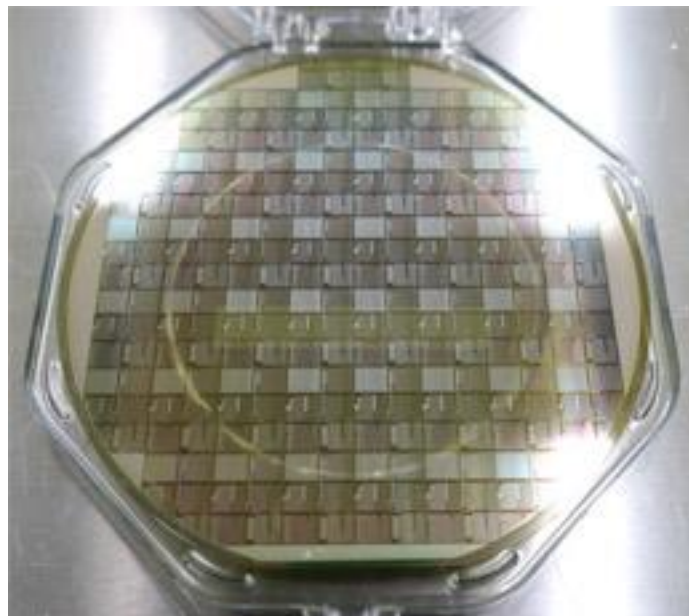
概要

京都大学大学院工学研究科 金子光顕 准教授、木本恒暢 教授、フェニテックセミコンダクター株式会社らの共同研究グループは、極限環境で動作する集積回路の実用化に向けて、シリコンカーバイド（炭化ケイ素、SiC）製のトランジスタを 6 インチ（直径約 15 センチ）の SiC ウェハ全面にわたって一括作製する技術を実証しました。

現在広く使われているシリコン製の集積回路は、およそ摂氏 300 度を超えると正常に動作できません。このためジェットエンジンの内部や、金星の表面（およそ 460 度）といった環境では、高温でも動く専用の電子回路が必要になります。SiC はこうした極限環境で動作できる次世代半導体として長年研究されてきました。京都大学の研究グループはこれまでに、SiC の接合型電界効果トランジスタ（JFET）を組み合わせた相補型 JFET 論理回路の動作を実証してきましたが、実験室レベルの小さな試料での試作にとどまっており、実用化のためには大きな SiC ウェハ全面で多数のトランジスタを均一に作製する技術が必要でした。

今回の研究では、6 インチ SiC ウェハ全面に n 型・p 型の JFET を一括で作製し、正常な動作を確認しました。特に、ウェハ中心部分（直径 90 ミリの領域）では、閾値電圧のばらつきが標準偏差 0.07 ボルト以下という高い均一性を実現しました。これは実用的な集積回路の実現に不可欠な技術的マイルストーンです。

本研究成果は、2026 年 9 月 27 日から 10 月 2 日にかけて横浜市で開催される国際会議「*International Conference on Silicon Carbide and Related Materials 2026* (ICSCRM2026)」において Late News として発表されます。



接合型電界効果トランジスタを作製した 6 インチ SiC エピウェハの写真（撮影：金子光顕）

1. 背景

ジェットエンジンの内部、地熱井の底、そして金星の表面など、電子回路にとって過酷な高温環境で動作するセンサーや制御回路が求められています。しかし、現在のシリコン製の半導体は、およそ摂氏 300 度を超えると正常に動作できません。この壁を越える次世代半導体の代表格が、シリコンカーバイド（炭化ケイ素、SiC）です。

研究グループは、酸化膜を用いない SiC の接合型電界効果トランジスタ（JFET）^{注1}が高温環境での集積回路の基本素子として有望であることに着目し、n 型 JFET と p 型 JFET を組み合わせた「相補型 JFET（CJFET）」^{注2}の研究を進めてきました。これまでに、SiC 小片上に作製した相補型 JFET を用いて、論理ゲートが摂氏 350 度で動作することを実証しています。

しかし、これらの成果はいずれも小さな試料上での試作段階にとどまっており、実用的な集積回路を実現するためには、大きな SiC ウェハ全面にわたって多数の JFET を高い均一性で一括作製する技術が必要です。「実験室から量産へ」の橋渡しにあたる、この工程技術の確立が本研究の目的です。

2. 研究手法・成果

研究グループは、直径 6 インチ（約 15 センチ）の SiC ウェハ全面に、n 型・p 型両方の JFET を選択的イオン注入^{注3}によって一括作製しました。トランジスタ同士を電氣的に分離するため、これまで研究してきたウェル構造による絶縁を採用しました。

作製したトランジスタは、n 型・p 型のいずれも正常な動作を確認しました。特に重要な成果として、ウェハ中心部分（直径 90 ミリの領域）に配置された多数のトランジスタで閾値電圧^{注4}を測定したところ、そのばらつきが標準偏差 0.07 ボルト以下という非常に高い均一性を示しました。これは集積回路として動作させるうえで不可欠な条件です。

また、イオン注入時のマスクパターンで規定される「チャネル厚さ」を系統的に変化させた実験により、閾値電圧をチャネル厚さで意図通りに制御できることも確認しました。実測値と物理モデルによる計算値が良く一致しており、トランジスタ設計の予測性が高いことも示されました。

3. 波及効果、今後の予定

本研究は、SiC 相補型 JFET を用いた高温集積回路の実用化に向けた重要な技術的マイルストーンです。6 インチウェハでの一括作製は、半導体産業で標準的に採用されているプロセスと親和性が高く、これまで実験室レベルにとどまっていた SiC 集積回路の産業応用に道を拓くものです。

今後は、この量産技術を活かして、より複雑な論理回路や実際の制御回路を SiC 上に集積することを目指します。将来的には、ジェットエンジンや発電用ガスタービンの効率化、地熱資源の開発、金星探査などの分野で、シリコン製の電子回路では原理的に到達できない環境での応用が視野に入ります。

一方、実用化には、ウェハ全域（外周部を含む）にわたる均一性のさらなる向上、高温下での長期信頼性の検証、耐熱性のあるパッケージや周辺回路材料の開発など、多くの課題が残されています。

4. 研究プロジェクトについて

本研究は、KSAC-GAP ファンド（OD）および京都大学・三菱商事 Startup Catapult II の支援を受けて実施されました。

<用語解説>

注 1：接合型電界効果トランジスタ（JFET）

Junction Field-Effect Transistor の略。ゲート電極と半導体との間に絶縁膜を用いず、p 型と n 型の半導体の接合（pn 接合）を使って電流を制御するタイプのトランジスタです。絶縁膜を使う MOSFET とは異なり、高温でも安定に動作する利点があります。

注 2：相補型 JFET（CJFET）

n 型（電子が電流を運ぶ）JFET と p 型（正孔が電流を運ぶ）JFET を組み合わせた構造で、これによって消費電力の少ない集積回路（現代のシリコン CPU で使われている CMOS 型と同じ考え方）を実現できます。

注 3：選択的イオン注入

半導体の中に、特定の元素のイオンを電界で加速して打ち込み、目的の場所だけに不純物（ドーパント）を導入する技術です。マスクを使って導入する場所を選択的に決められるため、半導体の中の狭い領域を精密に p 型・n 型に作り分けることができます。現在のシリコン半導体産業でも標準的に使われている加工方法です。

注 4：閾値電圧（しきいちでんあつ）

トランジスタが「オン」（電流が流れる状態）と「オフ」（電流が流れない状態）を切り替える境目の電圧です。集積回路を設計する上で最も基本となるパラメータのひとつで、この値が集積回路内の多数のトランジスタで揃っていないと、回路全体として正しく動作しません。

<研究者のコメント>

実用化を最初から意識して構造とプロセスを設計してきたので、6 インチウェハでの一括作製ができること自体は、我々にとってはある程度想定していた結果です。ただし、「できると思う」と「実際にできた」の間には研究の世界でも大きな差があり、今回の実証結果を手にしたことの意義は大きいと感じています。ここからは、より複雑な回路の集積、長期信頼性、パッケージ技術と、実用化の本丸に踏み込んでいきたいと考えています。

<論文タイトルと著者>

タイトル：From lab to fab: Wafer-scale fabrication of SiC ion-implantation-based side-gate p- and n-JFETs toward CJFET ICs

実験室から量産へ：相補型 JFET 集積回路に向けた SiC サイドゲート p-JFET と n-JFET のイオン注入によるウェハスケール作製

著 者：Mitsuaki Kaneko¹, Yoshimori Okamura², Kunihide Oozono², Tetsuro Akasaki², Kazuki Ariura², Kyoto Mikami¹, Tsunenobu Kimoto¹ (1. Kyoto Univ. (Japan), 2. Phenitec Semiconductor Corp. (Japan))